



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Group Art Unit: 2811

Examiner: Unassigned

In Re PATENT APPLICATION Of:

Applicants : Teruhisa OBARA )

Serial No. : 10/649,765 )

Filed : August 28, 2003 )

For : SEMICONDUCTOR INTEGRATED )  
CIRCUIT WITH A TEST CIRCUIT )

Attorney Ref. : OKI 368 )

CLAIM FOR PRIORITY

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of applicant's first-filed Japanese Application No. 2002-257007, filed September 2, 2002, the rights of priority of which have been and are claimed pursuant to the provisions of 35 U.S.C. §119.

It is respectfully requested that receipt of this priority document be acknowledged.

Respectfully submitted,

Steven M. Rabin (Reg. No. 29,102)  
RABIN & BERDO, P.C.  
(Customer No. 23995)  
Telephone: (202) 371-8976  
Telefax: (202) 408-0924

April 30, 2004  
Date

SMR:vm

FEE ENCLOSED: \$  
Please charge any further  
fee to our Deposit Account  
No. 18-0002

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年 9月 2日

出 願 番 号  
Application Number:

特願2002-257007

[ST.10/C]:

[JP2002-257007]

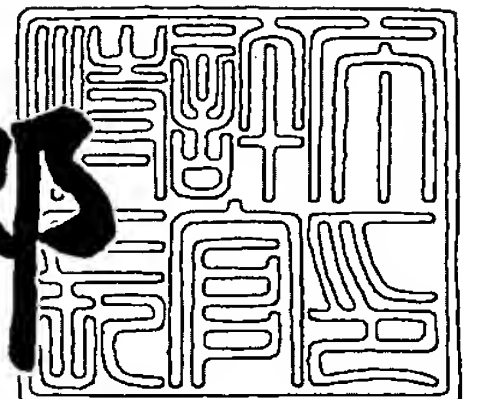
出 願 人  
Applicant(s):

沖電気工業株式会社

2003年 1月14日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2002-3105326

【書類名】 特許願

【整理番号】 KA003856

【提出日】 平成14年 9月 2日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G06F 11/22  
G01R 31/28

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会  
社内

【氏名】 小原 輝久

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100086807

【弁理士】

【氏名又は名称】 柿本 恭成

【手数料の表示】

【予納台帳番号】 007412

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001054

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路とその試験方法

【特許請求の範囲】

【請求項 1】  $m \times n$  個（但し、 $m$ 、 $n$ は複数）の論理回路ブロックの間をスキャンレジスタを介してチェーン状に接続し、通常動作時の通常データと試験動作時の試験データの入出力をクロック信号に同期して行う半導体集積回路において、

前記スキャンレジスタを前記  $n$  個の論理回路ブロック毎に分割して  $m$  組の分割チェーンを構成すると共に、

前記試験動作時に、前記クロック信号の  $m$  倍の周波数を有する通倍クロック信号に同期して直列に与えられる前記試験データを、該通倍クロック信号に従って  $m$  個の並列データに変換して前記  $m$  組の分割チェーンの各先頭のスキャンレジスタに与える直列並列変換回路と、

前記試験動作時に、前記  $m$  組の分割チェーンの各後尾のスキャンレジスタから出力されるデータを並列に入力し、前記通倍クロック信号に従って直列データに変換して出力する並列直列変換回路とを、

設けたことを特徴とする半導体集積回路。

【請求項 2】 前記クロック信号の周波数を  $m$  倍に通倍して前記通倍クロック信号を生成する通倍回路を設けたことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】  $m \times n$  個（但し、 $m$ 、 $n$ は複数）の論理回路ブロックの間をスキャンレジスタを介してチェーン状に接続し、通常動作時の通常データと試験動作時の試験データの入出力をクロック信号に同期して行う半導体集積回路の試験方法において、

前記スキャンレジスタを前記  $n$  個の論理回路ブロック毎に分割して  $m$  組の分割チェーンを構成し、

前記クロック信号の  $m$  倍の周波数を有する通倍クロック信号に同期して直列に与えられる前記試験データを、該通倍クロック信号に従って  $m$  個の並列データに変換して前記  $m$  組の分割チェーンの各先頭のスキャンレジスタに与える、

ことを特徴とする半導体集積回路の試験方法。

【請求項 4】 請求項 3 記載の半導体集積回路の試験方法において、前記 m 組の分割チェーンの各後尾のスキャンレジスタから出力されるデータを、前記通倍クロック信号に従って直列データに変換して出力することを特徴とする半導体集積回路の試験方法。

【請求項 5】 前記クロック信号の周波数を m 倍に通倍して前記通倍クロック信号を生成することを特徴とする請求項 3 または 4 記載の半導体集積回路の試験方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

【 0 0 0 2 】

本発明は、スキャンレジスタによる試験回路を備えた半導体集積回路と、その試験方法に関するものである。

【 0 0 0 3 】

【従来の技術】

【 0 0 0 4 】

【特許文献 1】

【 0 0 0 5 】

特開 2 0 0 0 - 2 5 8 5 0 0 号公報

【 0 0 0 6 】

半導体集積回路の試験技術として、この集積回路の機能動作を行う複数の論理回路ブロックの間にスキャンレジスタを挿入しておき、試験時にこれらのスキャンレジスタをチェーン状に接続して各論理回路ブロックに試験用のデータを与えたり、各論理回路ブロックの出力データを取り出すシフトスキャン方式と呼ばれるものがある。

【 0 0 0 7 】

図 2 は、従来のシフトスキャン方式の試験回路を備えた半導体集積回路の構成図である。

## 【 0 0 0 8 】

この半導体集積回路は、 $n$  個の論理回路ブロック (LOG)  $1_i$  (但し、 $i = 1 \sim n$ ) を有しており、この論理回路ブロック  $1_i$  と論理回路ブロック  $1_{i+1}$  の間がスキャンレジスタ (SR)  $2_i$  で接続されると共に、論理回路ブロック  $1_n$  の出力側にスキャンレジスタ  $2_n$  が接続されている。

## 【 0 0 0 9 】

各スキャンレジスタ  $2_i$  は、モード信号 MD に従って入力信号を切り替えるセレクトと、このセレクトで選択された信号をクロック信号 CK のタイミングで保持して出力するフリップフロップで構成されている。セレクトの第 1 及び第 2 の入力側は、前段の論理回路ブロック  $1_i$  の出力側と入力側にそれぞれ接続されている。また、フリップフロップの出力側は、後段の論理回路ブロック  $1_{i+1}$  の入力側に接続されている。

## 【 0 0 1 0 】

なお、初段の論理回路ブロック  $1_1$  の入力側とスキャンレジスタ  $2_1$  の第 2 の入力側には、それぞれ入力データ DI と試験入力データ TI が与えられるようになっている。また、最終段のスキャンレジスタ  $2_n$  の出力側からは出力データ DO と試験出力データ TO が出力されるようになっている。

## 【 0 0 1 1 】

このような半導体集積回路では、モード信号 MD を通常動作モードに設定することにより、各スキャンレジスタ  $2_i$  のセレクトが第 1 の入力側に切り替えられる。これにより、 $n$  個の論理回路ブロック  $1_1 \sim 1_n$  がスキャンレジスタ  $2_1 \sim 2_n$  を介して直列に接続され、クロック信号 CK のタイミングに従って同期動作が行われる。

## 【 0 0 1 2 】

一方、モード信号 MD を試験動作モードに設定すると、各論理回路ブロック  $1_i$  が切り離され、スキャンレジスタ  $2_1 \sim 2_n$  が縦続接続されたスキャンチェーンが構成される。ここで、クロック信号 CK を与えることにより、試験入力データ TI を順次スキャンレジスタ  $2_1 \sim 2_n$  にシフトして保持させると共に、これらのスキャンレジスタ  $2_1 \sim 2_n$  に保持されているデータを、試験出力データ T

○として直列に読み出すことができる。これにより、各論理回路ブロック  $1_i$  に任意の試験データを与えたり、これらの各論理回路ブロック  $1_i$  の処理結果のデータを読み出すことができる。

## 【 0 0 1 3 】

しかし、このようなシフトスキャン方式の試験回路では、論理回路ブロックの数が多くなると、これに従ってスキャンチェーンを構成するスキャンレジスタの数も多くなり、試験データの入力や出力に時間がかかるという問題があった。

## 【 0 0 1 4 】

このような問題を解決するための試験回路を有する半導体集積回路が、前記特許文献 1 に記載されている。

## 【 0 0 1 5 】

図 3 は、前記公報に記載された従来の半導体集積回路の構成図である。

## 【 0 0 1 6 】

この半導体集積回路は、被検査回路 1 0 2 と、スキャンデータ入力端子 1 5 1、1 5 2 と、スキャンデータ出力端子 1 6 1、1 6 2 と、結線変更回路 1 0 3 と、符号圧縮回路 1 0 4 とで構成されている。

## 【 0 0 1 7 】

被検査回路 1 0 2 は、複数のスキャンチェーン 1 1 0、1 2 0、1 3 0、1 4 0 をもち、それぞれスキャンレジスタ 1 1 1 ~ 1 1 3、1 2 1 ~ 1 2 3、1 3 1 ~ 1 3 3、1 4 1 ~ 1 4 3 がスキャンデータの入力と出力が可能のように接続されている。また、被検査回路 1 0 2 は、組み合わせ回路的に独立した部分回路 1 7 1、1 7 2 をもち、スキャンチェーン 1 1 0、1 2 0 は部分回路 1 7 1 に、スキャンチェーン 1 3 0、1 4 0 は部分回路 1 7 2 に、それぞれ属している。

## 【 0 0 1 8 】

結線変更回路 1 0 3 は、スキャンデータ入力端子 1 5 1 が分岐点 1 5 3 でスキャンチェーン 1 1 0 と 1 3 0 に分岐し、スキャンデータ入力端子 1 5 2 が、分岐点 1 5 4 でスキャンチェーン 1 2 0 と 1 4 0 に分岐する。符号圧縮回路 1 0 4 は、スキャンチェーン 1 1 0 と 1 3 0 の排他的論理を論理ゲート 1 6 3 でとってスキャンデータ出力端子 1 6 1 に出力し、スキャンチェーン 1 2 0 と 1 4 0 の排他



的論理を論理ゲート 1 6 4 でとってスキャンデータ出力端子 1 6 2 に出力するようになっている。

#### 【 0 0 1 9 】

このような半導体集積回路では、例えば、スキャンデータ入力端子 1 5 1 に入力されたスキャンデータは、2つのスキャンチェーン 1 1 0, 1 3 0 に同時に与えられる。そして、これらのスキャンチェーン 1 1 0, 1 3 0 を順次シフトして転送されたスキャンデータは、論理ゲート 1 6 3 で排他的論理がとられてスキャンデータ出力端子 1 6 1 から出力される。これにより、被検査回路 1 0 2 であるスキャンチェーン 1 1 0 ~ 1 4 0 の検査を短時間に行うことができる。

#### 【 0 0 2 0 】

##### 【発明が解決しようとする課題】

#### 【 0 0 2 1 】

しかしながら、従来の半導体集積回路では、次のような課題があった。

#### 【 0 0 2 2 】

例えば、図 2 の半導体集積回路では、前述したように回路規模の増加に伴って、試験データの入力や出力に時間がかかるという課題があった。また、図 3 の半導体集積回路では、2つのスキャンチェーン 1 1 0, 1 3 0 に同じスキャンデータを入力しており、個々のスキャンレジスタ 1 1 1 ~ 1 1 3, 1 3 1 ~ 1 3 3 に任意のデータを保持させることはできない。このため、各論理回路に任意の試験データを与えてその論理回路の動作を試験することはできなかった。

#### 【 0 0 2 3 】

本発明は、前記従来技術が持っていた課題を解決し、試験時間の短縮が可能なシフトスキャン方式の試験回路を備えた半導体集積回路を提供するものである。

#### 【 0 0 2 4 】

##### 【課題を解決するための手段】

#### 【 0 0 2 5 】

前記課題を解決するために、本発明の内の第 1 の発明は、 $m \times n$  個（但し、 $m$ ,  $n$  は複数）の論理回路ブロックの間をスキャンレジスタを介してチェーン状に接続し、通常動作時の通常データと試験動作時の試験データの入出力をクロック



信号に同期して行う半導体集積回路において、前記スキャンレジスタを前記  $n$  個の論理回路ブロック毎に分割して  $m$  組の分割チェーンを構成すると共に、前記試験動作時に、前記クロック信号の  $m$  倍の周波数を有する通倍クロック信号に同期して直列に与えられる前記試験データを、該通倍クロック信号に従って  $m$  個の並列データに変換して前記  $m$  組の分割チェーンの各先頭のスキャンレジスタに与える直列並列変換回路と、前記試験動作時に、前記  $m$  組の分割チェーンの各後尾のスキャンレジスタから出力されるデータを並列に入力し、前記通倍クロック信号に従って直列データに変換して出力する並列直列変換回路とを設けている。

## 【 0 0 2 6 】

第 2 の発明は、第 1 の発明に、クロック信号の周波数を  $m$  倍に通倍して通倍クロック信号を生成する通倍回路を設けている。

## 【 0 0 2 7 】

第 3 の発明は、 $m \times n$  個の論理回路ブロックの間をスキャンレジスタを介してチェーン状に接続し、通常動作時の通常データと試験動作時の試験データの入出力をクロック信号に同期して行う半導体集積回路の試験方法において、前記スキャンレジスタを前記  $n$  個の論理回路ブロック毎に分割して  $m$  組の分割チェーンを構成し、前記クロック信号の  $m$  倍の周波数を有する通倍クロック信号に同期して直列に与えられる前記試験データを、該通倍クロック信号に従って  $m$  個の並列データに変換して前記  $m$  組の分割チェーンの各先頭のスキャンレジスタに与えるようにしている。

## 【 0 0 2 8 】

第 4 の発明は、第 3 の発明に加えて、前記  $m$  組の分割チェーンの各後尾のスキャンレジスタから出力されるデータを、前記通倍クロック信号に従って直列データに変換して出力するようにしている。

## 【 0 0 2 9 】

第 5 の発明は、第 3 または第 4 の発明において、クロック信号の周波数を  $m$  倍に通倍して通倍クロック信号を生成するようにしている。

## 【 0 0 3 0 】

本発明によれば、次のような作用が行われる。

## 【 0 0 3 1 】

試験動作時に、クロック信号の  $m$  倍の周波数を有する通倍クロック信号に同期して試験データが直列に与えられると、この試験データが通倍クロック信号によって  $m$  個の並列データに変換され、 $m$  組の分割チェーンの各先頭のスキャンレジスタに与えられる。一方、この  $m$  組の分割チェーンの各後尾のスキャンレジスタからそれぞれ並列に出力されるデータは、通倍クロック信号に従って直列データに変換される。

## 【 0 0 3 2 】

## 【発明の実施の形態】

## 【 0 0 3 3 】

## (第 1 の実施形態)

## 【 0 0 3 4 】

図 1 は、本発明の第 1 の実施形態を示す半導体集積回路の構成図である。

## 【 0 0 3 5 】

この半導体集積回路は、シフトスキャン方式の試験回路を備えたもので、この集積回路の機能動作を行う複数（例えば、8 個）の論理回路ブロック 1 1 ～ 1 8 と、これらの論理回路ブロック 1 1 ～ 1 8 の出力側に接続されたスキャンレジスタ 2 1 ～ 2 8 と、クロック信号  $CK$  から 2 倍の周波数の通倍クロック信号  $CKD$  を生成する通倍回路 3 0 と、直列並列変換回路 ( $S/P$ ) 4 0 と、並列直列変換回路 ( $P/S$ ) 5 0 を有している。

## 【 0 0 3 6 】

各スキャンレジスタ 2 1 ～ 2 8 はいずれも同様の構成で、例えばスキャンレジスタ 2 1 に示すように、モード信号  $MD$  に従って入力信号を切り替えるセレクタ ( $SL$ ) 2 1 a と、このセレクタ 2 1 a で選択された信号をクロック信号  $CK$  のタイミングで保持して出力するフリップフロップ ( $FF$ ) 2 1 b で構成されている。

## 【 0 0 3 7 】

また、直列並列変換回路 4 0 は、通倍回路 3 0 で生成された通倍クロック信号  $CKD$  に同期して直列に入力される試験入力データ  $TI$  を、並列データ  $S41$ ,

S 4 2 に変換して出力するものである。直列並列変換回路 4 0 は、2 つのフリップフロップ 4 1, 4 2 を縦続接続して構成され、初段のフリップフロップ 4 1 の入力側に試験入力データ T I が与えられ、同じ通倍クロック信号 C K D で入力側の信号を保持して出力するものである。フリップフロップ 4 1, 4 2 の各出力側から、並列データ S 4 1, S 4 2 が、それぞれ出力されるようになっている。

## 【 0 0 3 8 】

初段の論理回路ブロック 1 1 の入力側には、入力データ D I が与えられるようになり、この論理回路ブロック 1 1 の出力側が、スキャンレジスタ 2 1 のセクタ 2 1 a の第 1 の入力側に接続されている。また、スキャンレジスタ 2 1 のセクタ 2 1 a の第 2 の入力側には、直列並列変換回路 4 0 の並列データ S 4 1 が与えられるようになっている。

## 【 0 0 3 9 】

スキャンレジスタ 2 1 から出力される信号 S 2 1 は、図示していないが、次段の論理回路ブロック 1 2 の入力側とスキャンレジスタ 2 2 の第 2 の入力側に与えられ、この論理回路ブロック 1 2 の出力信号が、スキャンレジスタ 2 2 の第 1 の入力側に与えられるようになっている。

## 【 0 0 4 0 】

同様に、スキャンレジスタ 2 2 の信号 S 2 2 は、論理回路ブロック 1 3 とスキャンレジスタ 2 3 の第 2 の入力側に与えられ、この論理回路ブロック 1 3 の出力信号が、スキャンレジスタ 2 3 の第 1 の入力側に与えられるようになっている。更に、スキャンレジスタ 2 3 の信号 S 2 3 は、論理回路ブロック 1 4 とスキャンレジスタ 2 4 の第 2 の入力側に与えられ、この論理回路ブロック 1 4 の出力信号が、スキャンレジスタ 2 4 の第 1 の入力側に与えられるようになっている。

## 【 0 0 4 1 】

スキャンレジスタ 2 4 の信号 S 2 4 は、論理回路ブロック 1 5 に与えられ、この論理回路ブロック 1 5 の出力信号が、スキャンレジスタ 2 5 の第 1 の入力側に与えられるようになっている。また、スキャンレジスタ 2 5 の第 2 の入力側には、直列並列変換回路 4 の並列データ S 4 2 が与えられるようになっている。

## 【 0 0 4 2 】

更に、スキャンレジスタ 2 5 の信号 S 2 5 は、図示していないが、論理回路ブロック 1 6 とスキャンレジスタ 2 6 の第 2 の入力側に与えられ、この論理回路ブロック 1 6 の出力信号が、スキャンレジスタ 2 6 の第 1 の入力側に与えられるようになっている。スキャンレジスタ 2 6 の信号 S 2 6 は、論理回路ブロック 1 7 とスキャンレジスタ 2 7 の第 2 の入力側に与えられ、この論理回路ブロック 1 7 の出力信号が、スキャンレジスタ 2 7 の第 1 の入力側に与えられるようになっている。

## 【 0 0 4 3 】

スキャンレジスタ 2 7 の信号 S 2 7 は、論理回路ブロック 1 8 とスキャンレジスタ 2 8 の第 2 の入力側に与えられ、この論理回路ブロック 1 8 の出力信号が、スキャンレジスタ 2 8 の第 1 の入力側に与えられるようになっている。スキャンレジスタ 2 8 の信号 S 2 8 は、出力データ D O として出力される他、スキャンレジスタ 2 4 の信号 S 2 4 と共に並列直列変換回路 5 0 に入力されるようになっている。

## 【 0 0 4 4 】

並列直列変換回路 5 0 は、並列に入力される信号 S 2 4 , S 2 8 を、通倍クロック信号 C K D に従って直列の試験出力データ T O として出力するものである。並列直列変換回路 5 0 は、信号 S 2 4 を通倍クロック信号 C K D のタイミングで保持するフリップフロップ 5 1、信号 S 2 8 とフリップフロップ 5 1 から出力される信号 S 5 1 を、クロック信号 C K のレベル “H” , “L” に基づいて選択するセクタ 5 2、及びこのセクタ 5 2 から出力される信号 S 5 2 を、通倍クロック信号 C K D のタイミングで保持し、試験出力データ T O として出力するフリップフロップ 5 3 で構成されている。

## 【 0 0 4 5 】

図 4 は、図 1 の試験時の動作を示すタイミングチャートである。以下、この図 4 を参照しつつ、図 1 の動作を説明する。なお、試験時には、モード信号 M D によって、すべてのスキャンレジスタ 2 1 ~ 2 8 が、第 2 の入力側に切り替えられる。

## 【 0 0 4 6 】

図 1 のクロック信号 C K は、各スキャンレジスタ 2 1 ~ 2 8 に与えられると共に通倍回路 3 0 に与えられ、図 4 に示すように、2 倍の周波数の通倍クロック信号 C K D が生成される。生成された通倍クロック信号 C K D は、直列並列変換回路 4 0 と、並列直列変換回路 5 0 内の各フリップフロップに与えられる。

## 【 0 0 4 7 】

図 4 の時刻  $t_1$ ,  $t_3$ ,  $t_5$ , ... におけるクロック信号 C K のレベル “H”, “L” の変化に同期して、直列並列変換回路 4 0 には、試験入力データ T I として、データ D 1, D 2, D 3, ... が順次入力される。これにより、直列並列変換回路 4 0 のフリップフロップ 4 1 には、通倍クロック信号 C K D の立上がりのタイミング  $t_2$ ,  $t_4$ ,  $t_6$ , ... で、順次 D 1, D 2, D 3, ... と変化するデータが保持され、信号 S 4 1 として出力される。

## 【 0 0 4 8 】

一方、フリップフロップ 4 2 には、信号 S 4 1 よりも 1 クロック分だけ遅れて、時刻  $t_4$ ,  $t_6$ , ... に、順次 D 1, D 2, ... と変化する信号 S 4 2 が出力される。直列並列変換回路 4 0 の信号 S 4 1, S 4 2 は、それぞれスキャンレジスタ 2 1, 2 5 に与えられる。

## 【 0 0 4 9 】

時刻  $t_5$  におけるクロック信号 C K の立上がりのタイミングで、信号 S 4 1, S 4 2 は、それぞれスキャンレジスタ 2 1, 2 5 に保持される。これにより、スキャンレジスタ 2 1, 2 5 から出力される信号 S 2 1, S 2 5 は、それぞれデータ D 2, D 1 となる。

## 【 0 0 5 0 】

時刻  $t_7$  におけるクロック信号 C K の立上がりで、データ D 2, D 1 はスキャンレジスタ 2 2, 2 6 ヘシフトされ、スキャンレジスタ 2 1, 2 5 から出力される信号 S 2 1, S 2 5 は、それぞれデータ D 4, D 3 となる。

## 【 0 0 5 1 】

時刻  $t_8$  におけるクロック信号 C K の立上がりで、データ D 2, D 1 はスキャンレジスタ 2 3, 2 7 ヘシフトされると共に、データ D 4, D 3 はスキャンレジスタ 2 2, 2 6 ヘシフトされ、スキャンレジスタ 2 1, 2 5 から出力される信号

S 2 1, S 2 5 は、それぞれデータ D 6, D 5 となる。

【 0 0 5 2 】

時刻 t 9 におけるクロック信号 C K の次の立上がりで、データ D 2, D 1 はスキャンレジスタ 2 4, 2 8 へ、データ D 4, D 3 はスキャンレジスタ 2 3, 2 7 へ、データ D 6, D 5 はスキャンレジスタ 2 2, 2 6 へそれぞれシフトされる。そして、スキャンレジスタ 2 1, 2 5 から出力される信号 S 2 1, S 2 5 は、それぞれデータ D 8, D 7 となる。

【 0 0 5 3 】

この状態でスキャンレジスタ 2 8 の信号 S 2 8 が並列直列変換回路 5 0 のセクタ 5 2 で選択され、このセクタ 5 2 から出力される信号 S 5 2 はデータ D 1 となる。

【 0 0 5 4 】

時刻 t 1 0 において、通倍クロック信号 C K D が立上がると、並列直列変換回路 5 0 のフリップフロップ 5 1 に信号 S 2 4 が保持され、このフリップフロップ 5 1 の信号 S 5 1 はデータ D 2 となる。また、フリップフロップ 5 3 に保持されて出力される試験出力データ T O は、データ D 1 となる。

【 0 0 5 5 】

時刻 t 1 1 において、クロック信号 C K が “ L ” になると、セクタ 5 2 はフリップフロップ 5 1 側に切り替えられ、このセクタ 5 2 から出力される信号 S 5 2 はデータ D 2 に変化する。

【 0 0 5 6 】

時刻 t 1 2 において、通倍クロック信号 C K D が立上がると、フリップフロップ 5 3 に信号 S 5 2 が保持され、このフリップフロップ 5 3 の試験出力データ T O は、データ D 2 となる。

【 0 0 5 7 】

以上のような動作により、時刻 t 1 0 以降、通倍クロック信号 C K D の立上がりに同期して、試験出力データ T O としてデータ D 1, D 2, D 3, … が順次出力される。

【 0 0 5 8 】



なお、通常動作時には、モード信号MDによって各スキャンレジスタ21～28のセクタが、第1の入力側に切り替えられ、それぞれ前段の論理回路11～18の出力信号がフリップフロップに入力される。これにより、各論理回路11～18は、それぞれスキャンレジスタ21～28のフリップフロップを介して縦続接続され、クロック信号CKに基づいた同期動作が行われる。

## 【0059】

以上のように、この第1の実施形態の半導体集積回路は、論理回路11～18を接続するスキャンレジスタ21～28によるスキャンチェーンを2分割し、それぞれのチェーンに試験入力データTIを直列並列変換回路40によって並列に変換して与えると共に、それぞれのチェーンから並列に出力される信号を並列直列変換回路50によって直列に変換して出力するようにしている。これにより、各スキャンレジスタ21～28へデータの書き込みと、これらのスキャンレジスタ21～28からのデータの読み出しに必要な時間を半減することができるという利点がある。

## 【0060】

(第2の実施形態)

## 【0061】

図5は、本発明の第2の実施形態を示す半導体集積回路の構成図である。

## 【0062】

この半導体集積回路は、集積回路の機能動作を行う $m \times n$ 個の論理回路ブロック $10_{i,j}$ （但し、 $i = 1 \sim m$ 、 $j = 1 \sim n$ ）と、これらの論理回路ブロック $10_{i,j}$ の間に接続されたスキャンレジスタ $20_{i,j}$ と、クロック信号CKから $m$ 倍の周波数の通倍クロック信号CKDを生成する通倍回路35と、直列並列変換回路45と、並列直列変換回路55を有している。

## 【0063】

$m \times n$ 個の論理回路ブロック $10_{i,j}$ とスキャンレジスタ $20_{i,j}$ は、 $n$ 個毎に分割され、 $m$ 組の分割チェーン回路が構成されている。

## 【0064】

第1組の分割チェーン回路は、論理回路ブロック $10_{1,1} \sim 10_{1,n}$ をス



キャンレジスタ  $20_{1,1} \sim 20_{1,n-1}$  を介して接続すると共に、論理回路ブロック  $10_{1,n}$  の後段にスキャンレジスタ  $20_{1,n}$  を接続したものである。先頭の論理回路ブロック  $10_{1,1}$  には、入力データ  $DI$  が与えられるようになっている。また、2 段目以降のスキャンレジスタ  $20_{1,2} \sim 20_{1,n}$  の第 2 の入力側には、その前段のスキャンレジスタ  $20_{1,1} \sim 20_{1,n-1}$  の出力信号が与えられるようになっている。

## 【 0 0 6 5 】

第 2 組以降の第  $i$  組の分割チェーン回路もほぼ同様の構成で、論理回路ブロック  $10_{i,1} \sim 10_{i,n}$  をスキャンレジスタ  $20_{i,1} \sim 20_{i,n-1}$  を介して接続すると共に、論理回路ブロック  $10_{i,n}$  の後段にスキャンレジスタ  $20_{i,n}$  を接続したものである。但し、先頭の論理回路ブロック  $10_{i,1}$  には、第  $i-1$  組の分割チェーン回路のスキャンレジスタ  $20_{i-1,n}$  の出力信号が与えられるようになっている。また、2 段目以降のスキャンレジスタ  $20_{i,2} \sim 20_{i,n}$  の第 2 の入力側には、その前段のスキャンレジスタ  $20_{i,1} \sim 20_{i,n-1}$  の出力信号が与えられるようになっている。

## 【 0 0 6 6 】

直列並列変換回路 4 5 は、通倍回路 3 5 で生成された通倍クロック信号  $CKD$  に同期して直列に入力される試験入力データ  $TI$  を、 $m$  個の並列データ  $S45_1 \sim S45_m$  に変換して出力するものである。並列データ  $S45_1 \sim S45_m$  は、それぞれ各組の分割チェーン回路の先頭のスキャンレジスタ  $20_{1,1} \sim 20_{m,1}$  の第 2 の入力側に与えられるようになっている。

## 【 0 0 6 7 】

一方、各組の分割チェーン回路の最後のスキャンレジスタ  $20_{1,n} \sim 20_{m,n}$  の出力信号は、並列直列変換回路 5 5 に並列入力信号として与えられるようになっている。並列直列変換回路 5 5 は、クロック信号  $CK$  のタイミングに基づいて並列入力信号を保持し、通倍クロック信号  $CKD$  のタイミングに基づいて、その保持した並列入力信号を直列信号に変換して試験出力データ  $TO$  として出力するものである。

## 【 0 0 6 8 】

この半導体集積回路の通常動作時には、モード信号MDによって各スキャンレジスタ  $20_{i,j}$  が、第1の入力側に切り替えられ、それぞれ前段の論理回路ブロック  $10_{i,j}$  の出力信号が、クロック信号CKに同期してこのスキャンレジスタ  $20_{i,j}$  の保持され、後段の論理回路ブロック  $10_{i,j+1}$  等へ出力される。これにより、各論理回路ブロック  $10_{i,j}$  は、それぞれスキャンレジスタ  $20_{i,j}$  を介して縦続接続され、クロック信号CKに基づいた同期動作が行われる。

## 【0069】

一方、試験動作時には、モード信号MDによって各スキャンレジスタ  $20_{i,j}$  が、第2の入力側に切り替えられる。これにより、各分割チェーン回路から論理回路  $10_{i,j}$  が切り離され、直列並列変換回路45と並列直列変換回路55との間に、それぞれn個のスキャンレジスタ  $20_{i,1} \sim 20_{i,n}$  が縦続接続された分割チェーン回路が、m組並列して接続される。そして、直列並列変換回路45で並列に変換されたm個の試験入力データがそれぞれ対応する分割チェーン回路に入力され、クロック信号CKに同期して順次シフトされる。更に、m組の各分割チェーン回路の最後のスキャンレジスタ  $20_{1,n} \sim 20_{m,n}$  の出力信号は、並列直列変換回路55に与えられ、この並列直列変換回路55において通倍クロック信号CKDによって直列に変換され、試験出力データTOとして出力される。

## 【0070】

以上のように、この第2の実施形態の半導体集積回路は、論理回路ブロック  $10_{i,j}$  を接続するスキャンレジスタ  $20_{i,j}$  によるスキャンチェーンをm分割し、それぞれの分割チェーンに試験入力データTIを直列並列変換回路45によって並列に変換して与えると共に、それぞれの分割チェーンから並列に出力される信号を並列直列変換回路55によって直列に変換して出力するようにしている。これにより、各スキャンレジスタ  $20_{i,j}$  へデータの書き込みと、これらのスキャンレジスタ  $20_{i,j}$  からのデータの読み出しに必要な時間を  $1/m$  に低減することができるという利点がある。

## 【0071】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

【 0 0 7 2 】

(a) スキャンレジスタ 2 1 等の構成は、図 1 中に例示したようなセクタとフリップフロップを組み合わせたものに限定されない。

【 0 0 7 3 】

(b) クロック信号 C K を逡倍して逡倍クロック信号 C K D を生成する逡倍回路 3 0, 3 5 を有しているが、外部の試験装置等から端子を介してこの逡倍クロック信号 C K D が与えられる場合には、逡倍回路は不要である。

【 0 0 7 4 】

【発明の効果】

【 0 0 7 5 】

以上詳細に説明したように、第 1 及び第 3 の発明によれば、 $n$  個の論理回路ブロック毎にスキャンレジスタを分割して  $m$  組の分割チェーンを構成し、逡倍クロック信号に従って試験データを  $m$  個の並列データに変換して各分割チェーンの先頭のスキャンレジスタに与えるようにしている。これにより、チェーンの長さが  $1/m$  になり、試験データの転送時間を短縮することができる。

【 0 0 7 6 】

第 2 及び第 5 の発明によれば、クロック信号を逡倍して逡倍クロック信号を生成するようにしている。これにより、外部から逡倍クロック信号を供給する必要がなくなり、試験のための外部端子の数の増加を抑えることができる。

【 0 0 7 7 】

第 1 及び第 4 の発明によれば、 $m$  組の分割チェーンの各後尾のスキャンレジスタから出力されるデータを、逡倍クロック信号に従って直列データに変換して出力するようにしている。これにより、試験データの出力端子が 1 つで済み、試験のための外部端子の数の増加を抑えることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態を示す半導体集積回路の構成図である。

【図 2】

従来の半導体集積回路の構成図である。

【図 3】

従来の半導体集積回路の構成図である。

【図 4】

図 1 の試験時の動作を示すタイミングチャートである。

【図 5】

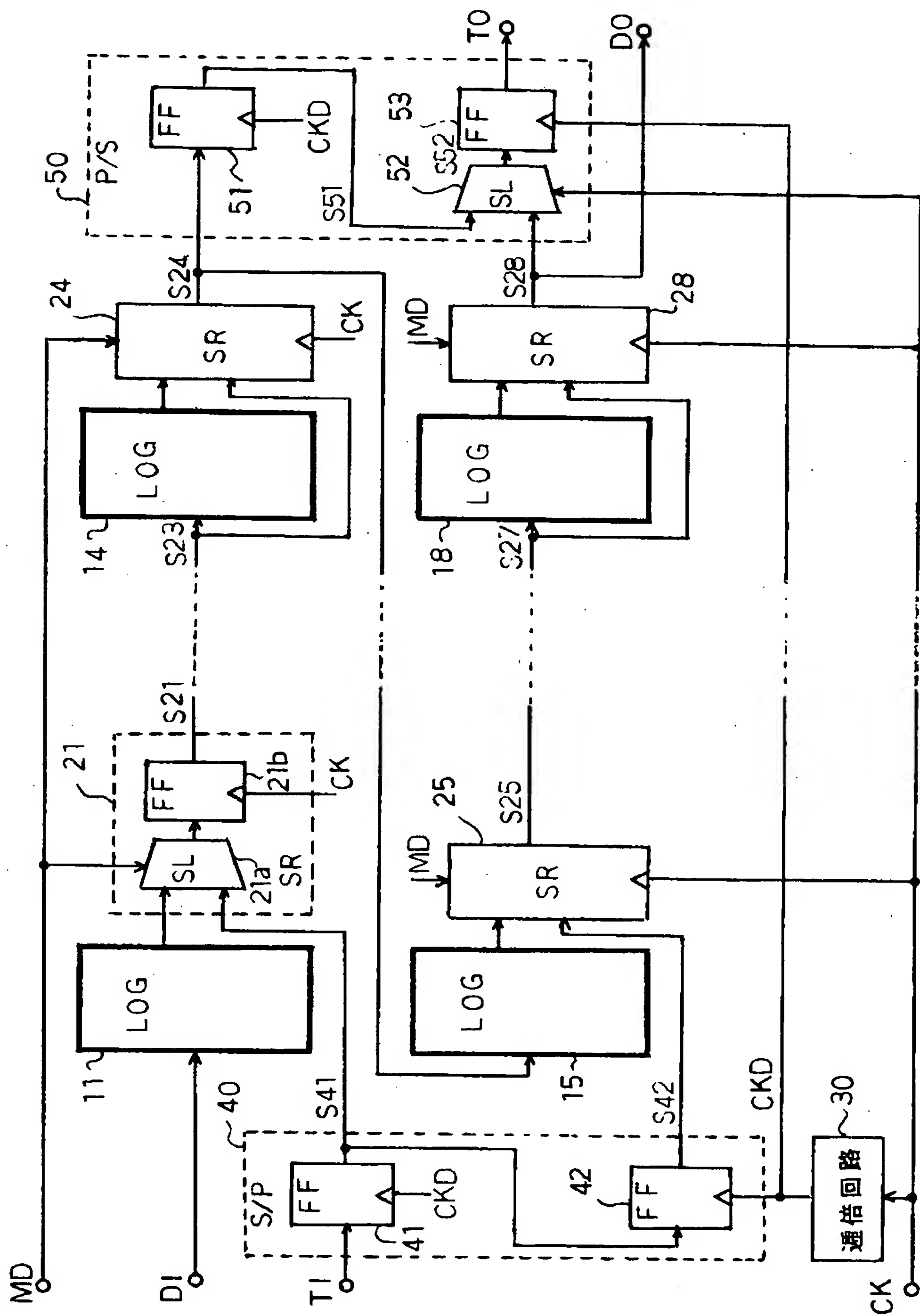
本発明の第 2 の実施形態を示す半導体集積回路の構成図である。

【符号の説明】

1 0 <sub>i, j</sub> , 1 1 ~ 1 8	論理回路ブロック
2 0 <sub>i, j</sub> , 2 1 ~ 2 8	スキャンレジスタ
3 0, 3 5	通倍回路
4 0, 4 5	直列並列変換回路
5 0, 5 5	並列直列変換回路

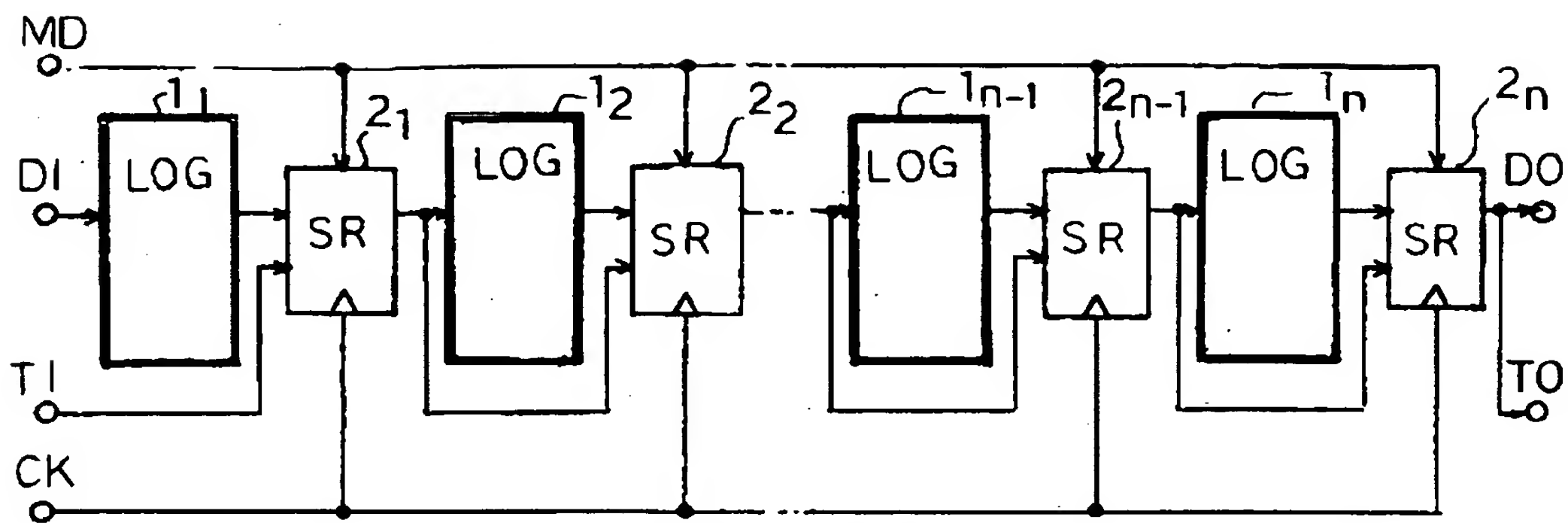
【書類名】 図面

【図 1】



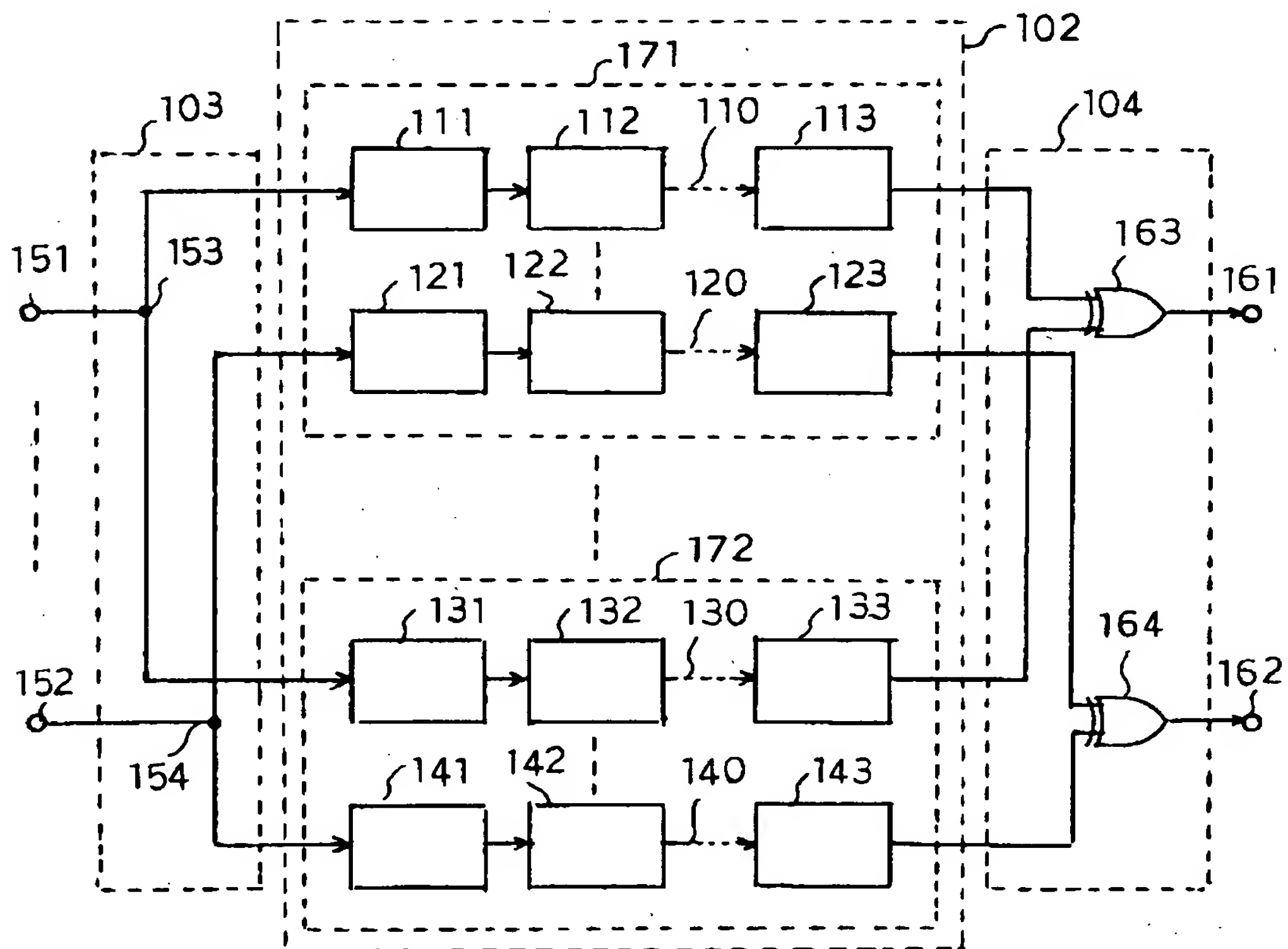
本発明の第 1 の実施形態の半導体集積回路

【図 2】



## 従来の半導体集積回路

【圖 3】



## 従来の半導体集積回路

【図 4】

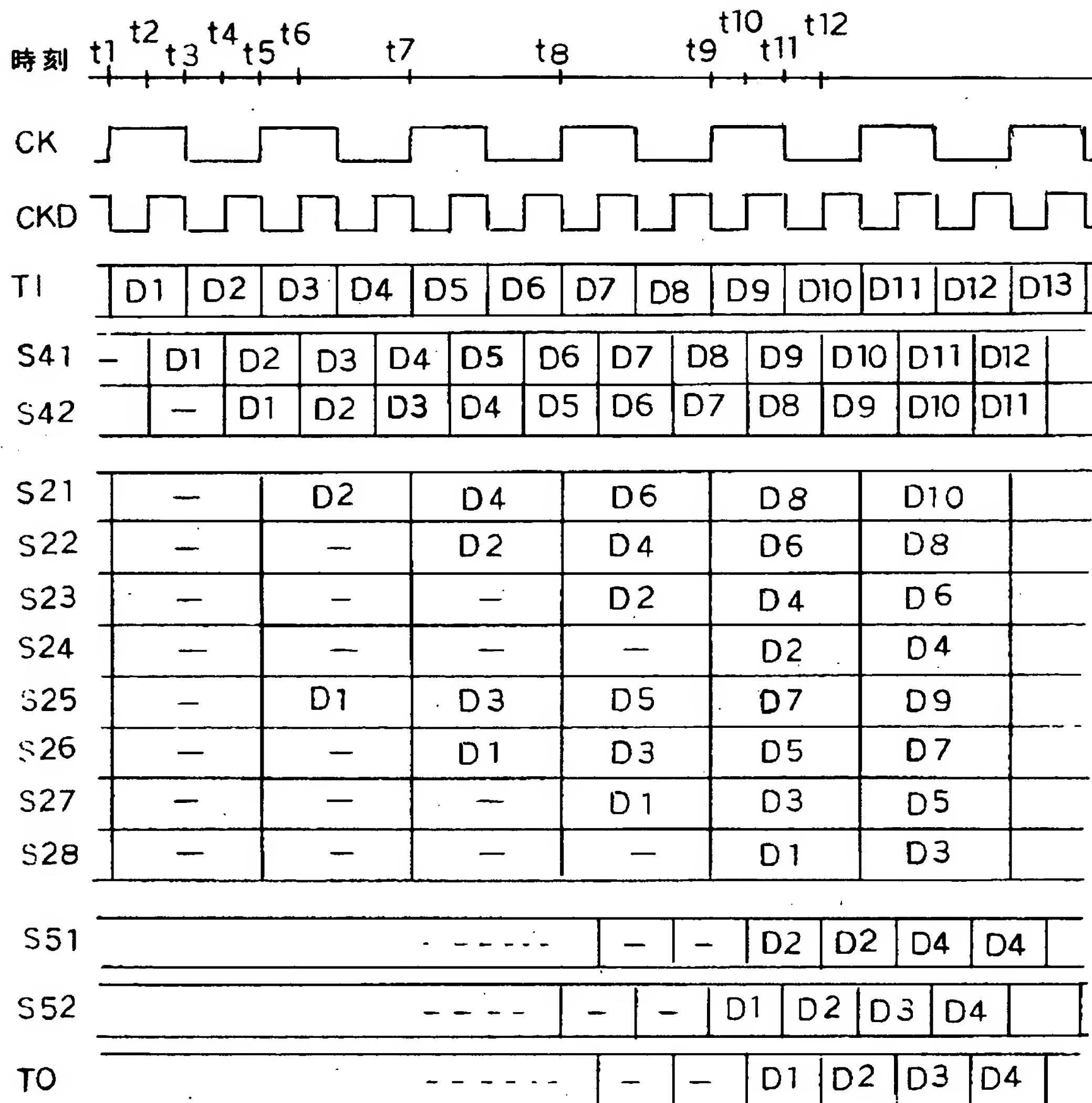
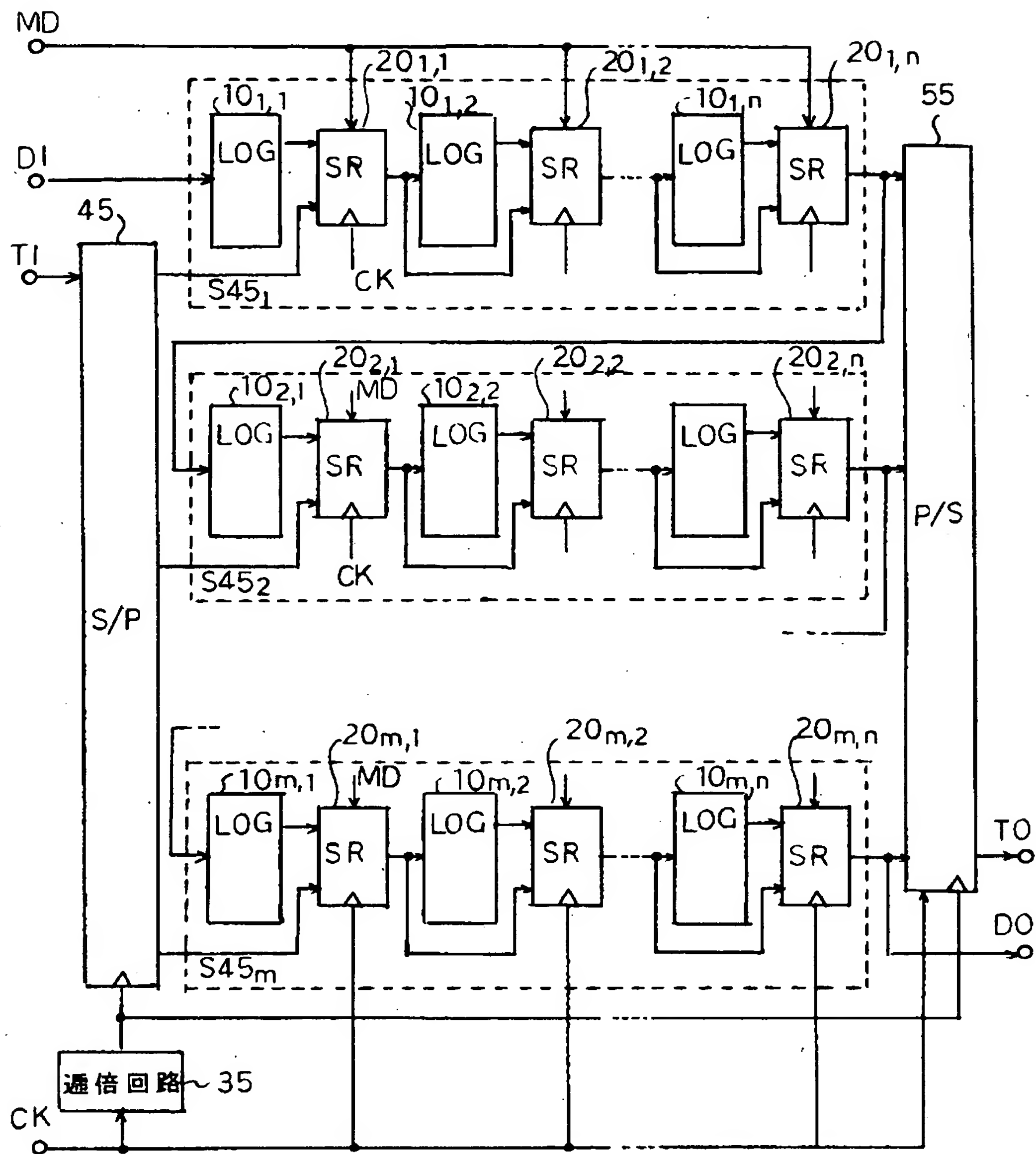


図 1 の試験時の動作



【図 5】



本発明の第 2 の実施形態の半導体集積回路

【書類名】 要約書

【要約】

【課題】 試験時間の短縮が可能なシフトスキャン方式の試験回路を備えた半導体集積回路を提供する。

【解決手段】 論理回路ブロック 1 1 ～ 1 8 とその後段に接続されたスキャンレジスタ 2 1 ～ 2 8 からなるシフトスキャンのチェーンは、スキャンレジスタ 2 1 ～ 2 4 と、スキャンレジスタ 2 5 ～ 2 8 の分割チェーンに分けられる。試験動作時には、試験入力データ T I がクロック信号 C K の 2 倍の通倍クロック信号 C K D に同期して与えられ、直列並列変換回路 4 0 で並列データ S 4 1, S 4 2 に変換されて、各分割チェーンの先端のスキャンレジスタ 2 1, 2 5 に与えられる。これにより、分割チェーンの長さが  $1/2$  になり、試験時間が短縮できる。

【選択図】 図 1

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日  
[変更理由] 新規登録  
住 所 東京都港区虎ノ門1丁目7番12号  
氏 名 沖電気工業株式会社